

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039215

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 10-141931

(22)Date of filing : 22.05.1998

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor : KANEKO KEISUKE  
OZAKI SHINJI

(30)Priority

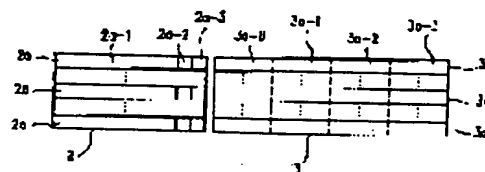
Priority number : 09132107 Priority date : 22.05.1997 Priority country : JP

## (54) CACHE MEMORY AND ITS CONTROL METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the circuit scale and to attain the fast control of a cache memory by making each of plural refill bits show whether the data are being transferred to the corresponding one of plural entries from a main storage area.

**SOLUTION:** The block data are stored in plural entries 3a of a data memory 3, and plural entries 2a of a tag memory 2 are associated to one of entries 3a. The value of the refill bit that is stored in an area 2a-2 of the entry 2a of a 1st row of the memory 2 shows whether the block data are being transferred to the entry 3a of a 1st row of the memory 3 from a main storage area. The value '1' of the refill bit shows that the block data are being transferred to the 1st entry 3a of the memory 3 from the main storage area. Meanwhile, the value '0' of the refill bit shows that the block data are not being transferred to the entry 3a from the main storage area respectively.



## LEGAL STATUS

[Date of request for examination]

22.05.1998

[Date of sending the examiner's decision of rejection]

18.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-39215

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.  
G 0 6 F 12/08

識別記号

3 1 0

F I  
G 0 6 F 12/08

E  
B  
3 1 0 Z

審査請求 有 請求項の数 7 O L (全 12 頁)

(21)出願番号 特願平10-141931

(22)出願日 平成10年(1998) 5月22日

(31)優先権主張番号 特願平9-132107

(32)優先日 平 9 (1997) 5月22日

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 金子 圭介

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 尾崎 伸治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

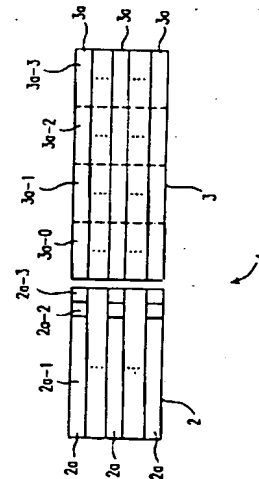
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 キャッシュメモリおよびキャッシュメモリを制御する方法

(57)【要約】

【課題】 キャッシュメモリを高速に制御することを可能にするキャッシュメモリおよびキャッシュメモリの制御方法を提供する。

【解決手段】 キャッシュメモリ1は、複数のエントリ3aを有するデータメモリ3と、複数のエントリ3aにそれぞれ対応する複数のリフィルビットとを備えている。複数のリフィルビットのそれぞれは、主記憶領域10から複数のエントリ3aのうち対応する1つのエントリ3aにデータが転送中か否かを示す。



## 【特許請求の範囲】

【請求項1】 複数のエントリを有するデータメモリと、

前記複数のエントリにそれぞれ対応する複数のリフィルビットとを備え、

前記複数のリフィルビットのそれぞれは、主記憶領域から前記複数のエントリのうち対応する1つのエントリにデータが転送中か否かを示す、キャッシュメモリ、

【請求項2】 前記キャッシュメモリは、複数のエントリを有するタグメモリをさらに備えており、

前記複数のリフィルビットのそれぞれは、前記タグメモリの前記複数のエントリのうち対応する1つのエントリに格納されている、請求項1に記載のキャッシュメモリ、

【請求項3】 複数のエントリを有するデータメモリと、前記複数のエントリにそれぞれ対応する複数のリフィルビットとを備えたキャッシュメモリを制御する方法であって、

第1のアクセス要求に対応するアドレスがキャッシュにヒットするか否かを判定するステップと、

前記第1のアクセス要求に対応する前記アドレスがキャッシュにヒットしないと判定された場合に、主記憶領域から前記第1のアクセス要求によって指定されるエントリにデータを転送するステップと、

前記データの転送を開始する際に、前記第1のアクセス要求によって指定される前記エントリに対応するリフィルビットをセットするステップと、

前記データの転送が完了した際に、前記リフィルビットをクリアするステップとを包含する方法、

【請求項4】 前記リフィルビットは、制御信号にตอบสนองしてクリアされる、請求項3に記載の方法、

【請求項5】 第2のアクセス要求によって指定されるエントリに対応するリフィルビットの値を参照するステップと、

前記リフィルビットの値に応じて、前記第2のアクセス要求によって指定される前記エントリに対するアクセスを制御するステップとをさらに包含する、請求項3に記載の方法、

【請求項6】 前記リフィルビットが主記憶領域から前記第2のアクセス要求によって指定されるエントリにデータが転送中であることを示す場合には、前記アクセスを制御するステップは、前記データの転送が完了した後に、前記第2のアクセス要求によって指定されるエントリにアクセスするステップを包含する、請求項5に記載の方法、

【請求項7】 前記リフィルビットが主記憶領域から前記第2のアクセス要求によって指定されるエントリにデータが転送中であることを示す場合には、前記アクセスを制御するステップは、前記データの一部の転送が完了した時点で、前記データの一部を前記主記憶領域から転

送するステップを包含する、請求項5に記載の方法、

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャッシュメモリおよびキャッシュメモリを制御する方法に関する、

【0002】

【従来の技術】キャッシュメモリとキャッシュメモリを制御するキャッシュメモリ制御回路を有するシステムにおいて、第1のアクセス要求にตอบสนองしてキャッシュメモリにおいてミスヒットが発生した場合には、主記憶領域からキャッシュメモリにブロックデータが転送される。これにより、キャッシュメモリの内容が更新される。キャッシュメモリの内容の更新は、一般に、それ以降の命令の実行に支障が生じないように実行されなければならない。上書きにより失われたデータと、転送された新規のデータとをとり違えてはならないからである、

【0003】例えば、第1のアクセス要求にตอบสนองして、主記憶領域からキャッシュメモリに含まれる特定のエントリにブロックデータを転送している間に、その特定のエントリにアクセスすることを要求する第2のアクセス要求が発生した場合には、第2のアクセス要求にตอบสนองしてその特定のエントリにアクセスする前に、第1のアクセス要求に対応するブロックデータの転送が完了しているかを判定する必要がある、

【0004】従来、このような判定は、第1のアクセス要求に対応するブロックデータの転送が完了するまで第1のアクセス要求に対応するアドレスをキャッシュメモリ制御回路内に保持し、第2のアクセス要求が発生した場合にキャッシュメモリ制御回路内に保持されたアドレスと第2のアクセス要求に対応するアドレスとを比較することにより、行われていた、

【0005】

【発明が解決しようとする課題】しかし、上述したような従来の判定は、キャッシュメモリ制御回路内に保持されたアドレスと第2のアクセス要求に対応するアドレスとを比較する比較回路を必要とする。その結果、キャッシュメモリ制御回路の回路規模が増大し、キャッシュメモリ制御回路の面積が増大するという問題点があった、

【0006】また、従来の判定では、多ビットを有するアドレスどうしを比較するため、判定結果が得られるまでに時間がかかる。その結果、キャッシュメモリを高速に制御することが困難であるという問題点があった。この傾向は、アドレスの多ビット化が進むにつれてますます顕著になりつつある、

【0007】本発明は、上述した比較回路を不要とすることにより、キャッシュメモリ制御回路の回路規模を削減することを可能にするキャッシュメモリおよびキャッシュメモリの制御方法を提供することを目的とする、

【0008】また、本発明は、多ビットを有するアドレスどうしの比較を不要とすることにより、キャッシュメ

メモリを高速に制御することを可能にするキャッシュメモリおよびキャッシュメモリの制御方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のキャッシュメモリは、複数のエントリを有するデータメモリと、前記複数のエントリにそれぞれ対応する複数のリフィルビットとを備え、前記複数のリフィルビットのそれぞれは、主記憶領域から前記複数のエントリのうち対応する1つのエントリにデータが転送中か否かを示す。これにより、上記目的が達成される。

【0010】前記キャッシュメモリは、複数のエントリを有するタグメモリをさらに備えており、前記複数のリフィルビットのそれぞれは、前記タグメモリの前記複数のエントリのうち対応する1つのエントリに格納されていてもよい。

【0011】本発明のキャッシュメモリを制御する方法は、複数のエントリを有するデータメモリと、前記複数のエントリにそれぞれ対応する複数のリフィルビットとを備えたキャッシュメモリを制御する方法であって、第1のアクセス要求に対応するアドレスがキャッシュにヒットするか否かを判定するステップと、前記第1のアクセス要求に対応する前記アドレスがキャッシュにヒットしないと判定された場合に、主記憶領域から前記第1のアクセス要求によって指定されるエントリにデータを転送するステップと、前記データの転送を開始する際に、前記第1のアクセス要求によって指定される前記エントリに対応するリフィルビットをセットするステップと、前記データの転送が完了した際に、前記リフィルビットをクリアするステップとを包含し、これにより、上記目的が達成される。

【0012】前記リフィルビットは、制御信号に応答してクリアされてもよい。

【0013】前記方法は、第2のアクセス要求によって指定されるエントリに対応するリフィルビットの値を参照するステップと、前記リフィルビットの値に応じて、前記第2のアクセス要求によって指定される前記エントリに対するアクセスを制御するステップとをさらに包含していてもよい。

【0014】前記リフィルビットが主記憶領域から前記第2のアクセス要求によって指定されるエントリにデータが転送中であることを示す場合には、前記アクセスを制御するステップは、前記データの転送が完了した後に、前記第2のアクセス要求によって指定されるエントリにアクセスするステップを包含していてもよい。

【0015】前記リフィルビットが主記憶領域から前記第2のアクセス要求によって指定されるエントリにデータが転送中であることを示す場合には、前記アクセスを制御するステップは、前記データの一部の転送が完了した時点で、前記データの一部を前記主記憶領域から転送

するステップを包含していてもよい。

【0016】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0017】図1は、本発明の実施の形態のキャッシュメモリ1の構成を示す。キャッシュメモリ1は、タグメモリ2と、データメモリ3とを含む。

【0018】データメモリ3は、複数のエントリ3aを有している。複数のエントリ3aのそれぞれには、ブロックデータが格納される。図1に示される例では、ブロックデータは、4ワードのデータから構成される。

【0019】例えば、ブロックデータは、(data 0, data 1, data 2, data 3)によって表現される。ここで、data 0, data 1, data 2, data 3は、それぞれ、1ワードのデータを示す。1ワードのデータdata 0は、エントリ3aの領域3a-0に格納される。同様に、1ワードのデータdata 1, data 2, data 3は、エントリ3aの領域3a-1, 3a-2, 3a-3にそれぞれ格納される。1ワードは、例えば、32ビットである。タグメモリ2は、複数のエントリ2aを有している。複数のエントリ2aのそれぞれは、データメモリ3に含まれる複数のエントリ3aのうちの1つに対応づけられている。複数のエントリ2aのそれぞれは、キャッシュメモリ1に入力されるアドレスのタグデータを格納するための領域2a-1と、複数のエントリ3aのうち対応する1つのエントリ3aにブロックデータが転送中か否かを示すリフィルビットを格納する領域2a-2と、タグデータが有効であるか否かを示すバリッドビットを格納する領域2a-3とを有している。

【0020】例えば、主記憶領域(図1には示されていない。図2参照)からデータメモリ3の1行目のエントリ3aにブロックデータが転送中であるか否かは、タグメモリ2の1行目のエントリ2aの領域2a-2に格納されているリフィルビットの値によって表される。そのリフィルビットの値が「1」であることは、主記憶領域からデータメモリ3の1行目のエントリ3aにブロックデータが転送中であることを示す。そのリフィルビットの値が「0」であることは、主記憶領域からデータメモリ3の1行目のエントリ3aにブロックデータが転送中でないことを示す。

【0021】このように、リフィルビットは、データメモリ3に含まれる複数のエントリ3aのうち対応する1つのエントリ3aにブロックデータが転送中であるか否かを示す。タグメモリ2のエントリ2aとデータメモリ3のエントリ3aとは何らかのルールに従って対応づけられていればよく、その対応づけの方法としては任意の方法が採用され得る。典型的には、上述したように、タグメモリ2のk行目のエントリ2aがデータメモリ3のk行目のエントリ3aに対応する。

【0022】リフィルビットの値は、キャッシュメモリ制御回路(図1には示されていない。図2参照)によって更新される。キャッシュメモリ制御回路は、主記憶領域からデータメモリ3に含まれる複数のエントリ3aのうちの1つにブロックデータの転送が開始する際に、そのブロックデータが転送されるエントリ3aに対応するリフィルビットをセットし、そのブロックデータの転送が完了した際に、そのリフィルビットをクリアする。リフィルビットの「セット」とは、例えば、リフィルビットの値を「1」にすることであり、リフィルビットの「クリア」とは、例えば、リフィルビットの値を「0」にすることである。

【0023】なお、図1に示される例では、タグメモリ2とデータメモリ3とは分離されている。しかし、タグメモリ2とデータメモリ3とが一体的に構成されていてもよい。

【0024】キャッシュメモリ1によれば、リフィルビットを参照することにより、キャッシュメモリ1の特定のエントリにブロックデータが転送中か否かを判定することができる。従来のように、キャッシュメモリ制御回路内に保持されたアドレスとアクセス要求に従って入力されたアドレスとを比較する必要がある。そのような比較を行う比較回路が不要となるので、キャッシュメモリ制御回路の回路規模を削減することが可能になる。また、リフィルビットは1ビットで足りるため、ブロックデータが転送中か否かの判定を高速に行うことができる。これにより、キャッシュメモリ1を高速に制御することが可能になる。

【0025】図2は、キャッシュメモリ1を含むシステム100の構成を示す。システム100は、CPU6と、キャッシュメモリ1と、キャッシュメモリ1を制御するキャッシュメモリ制御回路8と、主記憶領域10とを含む。CPU6とキャッシュメモリ1とキャッシュメモリ制御回路8と主記憶領域10とはアドレスバス11を介して相互に接続されている。CPU6とキャッシュメモリ1と主記憶領域10とはデータバス12を介して相互に接続されている。

【0026】CPU6は、キャッシュメモリ1に対するアクセス要求9をキャッシュメモリ制御回路8に出力する。CPU6は、アクセス要求9に対応するアドレスをアドレスバス11を介してキャッシュメモリ1に出力する。

【0027】キャッシュメモリ制御回路8は、アクセス要求9にตอบสนองして、タグメモリチップセレクト信号13a、データメモリチップセレクト信号13b、タグメモリライトイネーブル信号14、データメモリライトイネーブル信号15、リフィルビット書き込みデータ16、リフィルビットクリア制御信号42をキャッシュメモリ1に出力する。

【0028】キャッシュメモリ1は、CPU6からのア

クセス要求9に対応するアドレスがキャッシュにヒットするか否かを判定し、その判定結果を示すヒット信号18をキャッシュメモリ制御回路8に出力する。また、キャッシュメモリ1は、リフィルビットの値を示すリフィルビット出力データ17をキャッシュメモリ制御回路8に出力する。

【0029】キャッシュメモリ1においてミスヒットが発生した場合には、主記憶領域10からキャッシュメモリ1の特定のエントリにブロックデータがデータバス12を介して転送される。上述したように、リフィルビットは、主記憶領域10からキャッシュメモリ1の特定のエントリにブロックデータが転送中か否かを示す。

【0030】図3は、主記憶領域10からキャッシュメモリ1の特定のエントリにブロックデータを転送するタイミングを示す。

【0031】CPU6からのアクセス要求9にตอบสนองして、アクセス要求9に対応するアドレスがキャッシュメモリ1に入力される。キャッシュメモリ1は、入力されたアドレスがキャッシュにヒットするか否かを判定する。そのような判定は、ヒット・ミス判定サイクル28で行われる。ヒット・ミス判定サイクル28において、ヒット信号18がアサートされない場合には、入力されたアドレスはキャッシュにヒットしないと判定される。この場合、主記憶領域10からキャッシュメモリ1へのブロックデータの転送が開始される。

【0032】タグデータライトサイクル29において、タグメモリチップセレクト信号13aおよびタグメモリライトイネーブル信号14がローレベルとなる。これにより、タグメモリ2に対するデータの書き込みが許可される。タグデータライトサイクル29において、キャッシュメモリ制御回路8から出力されたリフィルビット書き込みデータ16がタグメモリ2に書き込まれる。これにより、リフィルビットがセットされる。

【0033】このようにして、主記憶領域10からキャッシュメモリ1にブロックデータの転送が開始する際に、リフィルビットがセットされる。

【0034】転送データライトサイクル30-0~30-3において、データメモリライトイネーブル信号15がローレベルとなる。これにより、データメモリ3に対するブロックデータの書き込みが許可される。転送データライトサイクル30-0において、1ワードのデータdata0がデータメモリ3に書き込まれる。同様に、転送データライトサイクル30-1、30-2、30-3において、1ワードのデータdata1、data2、data3がそれぞれデータメモリ3に書き込まれる。

【0035】最後の転送データライトサイクル30-3が終了すると、リフィルビットクリア制御信号42がキャッシュメモリ制御回路8からキャッシュメモリ1に出力される。リフィルビットクリア制御信号42にตอบสนองし

て、リフィルビットがクリアされる。

【0036】このようにして、主記憶領域10からキャッシュメモリ1にブロックデータの転送が完了した際に、リフィルビットがクリアされる。

【0037】図3において、リフィルビットデータ43は、タグメモリ2内の領域2a-2に保持されているリフィルビットの値を示す。リフィルビットの値は、リフィルビット書き込みデータ16によって「0」から「1」に更新され、リフィルビットクリア制御信号42にตอบสนองして「1」から「0」に更新される。

【0038】なお、リフィルビットクリア制御信号42を使用する代わりに、リフィルビット書き込みデータ16によってリフィルビットをクリアすることも可能である。しかし、キャッシュメモリ1のアクセス効率を向上させるためには、リフィルビットクリア制御信号42を使用することが好ましい。ブロックデータの転送中におけるタグメモリ2に対するアクセスが1回のみで済むからである。また、タグメモリ2へのデータの書き込みはブロックデータの転送を開始する際のみ発生するので、キャッシュメモリ制御回路8は、リフィルビット書き込みデータ16として常に値1を有するデータを出力すればよい。これにより、リフィルビット書き込みデータ16の制御が容易になる。

【0039】図4は、第1のアクセス要求に対応するアドレスと第2のアクセス要求に対応するアドレスとが一致する場合において、ブロックデータを転送するタイミングを示す。

【0040】第1のアクセス要求に対応するヒット・ミス判定サイクル28において、第1のアクセス要求に対応するアドレス20aはキャッシュにヒットしないと判定される。この場合、主記憶領域10からキャッシュメモリ1へのブロックデータの転送が開始される。

【0041】タグデータライトサイクル29において、リフィルビットがセットされる。

【0042】最初の転送データサイクル30-0において、転送中のブロックデータのうち最初のデータdata0がキャッシュメモリ1に転送される。残りのデータdata1、data2、data3がキャッシュメモリ1に転送される前に、第2のアクセス要求が発生し得る。例えば、最初のデータdata0がキャッシュメモリ1に書き込まれると同時にCPU6に送られる場合には、CPU6は、転送データライトサイクル30-0に続く任意のサイクルにおいて、次の命令の実行を再開することができるからである。

【0043】図4に示される例では、第2のアクセス要求に対応するアドレス20bは第1のアクセス要求に対応するアドレス20aと同一であると仮定する。第2のアクセス要求に対応するヒット・ミス判定サイクル38において、第1のアクセス要求によって指定されるデータメモリ3のエントリ3aに対応するリフィルビットの

値は「1」である。第1のアクセス要求に対応するブロックデータの転送が完了していないからである。従って、第2のアクセス要求に対応するヒット・ミス判定サイクル38において、値「1」を有するリフィルビット出力データ17がキャッシュメモリ制御回路8に出力される。

【0044】キャッシュメモリ制御回路8は、リフィルビット出力データ17の値に応じて、第2のアクセス要求によって指定されるデータメモリ3のエントリ3aに対するアクセスを制御する。このような制御は、リフィルビット出力データ17の値に応じて、キャッシュメモリ1の動作およびCPU6の動作を制御することによって達成される。

【0045】例えば、リフィルビット出力データ17の値が「1」である場合には、キャッシュメモリ制御回路8は、第1のアクセス要求に対応するブロックデータの転送が完了した後、第2のアクセス要求によって指定されるデータメモリ3のエントリ3aに対するアクセスを行うように、第2のアクセス要求によって指定されるデータメモリ3のエントリ3aに対するアクセスを制御する。

【0046】あるいは、第1のアクセス要求に対応するブロックデータのうちの一部のデータ（例えば、4ワードのブロックデータのうちの1ワード分のデータ）の転送が完了した時点で、その一部のデータを主記憶領域10からCPU6に転送するようにしてもよい。このように、データ転送を主記憶領域10からCPU6にバイパスすることにより、CPU6の動作が停止するサイクル数を低減することができる。

【0047】このように、キャッシュメモリ1に保持されるリフィルビットの値をリフィルビット出力データ17として出力することにより、CPU6からのアクセス要求に対応するアドレスとブロックデータを転送中のエントリのアドレスとを比較することが不要になる。これにより、キャッシュメモリ1を高速に制御することが可能になる。

【0048】さらに、リフィルビットの値を参照してキャッシュメモリ1の動作およびCPU6の動作を制御することにより、キャッシュミスが発生した命令に続く命令を支障なく実行することが可能となる。その結果、命令のパイプライン実行、あるいは、先行制御が効率的に行われる。

【0049】図5は、システム100の詳細構成を示す。以下、図5を参照して、CPU6がキャッシュメモリ1にアクセスする処理を説明する。

【0050】CPU6は、アクセス要求ACSRQをキャッシュメモリ制御回路8に出力し、アドレスADDをキャッシュメモリ1および主記憶領域10に出力する。ここでは、アドレスADDは32ビットであると仮定する。

【0051】キャッシュメモリ1に入力されたアドレスADDは、アドレス分割部110によって、タグメモリ2から出力されるタグデータTAGOUTと比較されるタグアドレスTAGADDと、キャッシュメモリ1に含まれる複数のエントリのうちの1つを指定するエントリアドレスENTADDと、ブロックデータに含まれる複数のワードのうちの1つを指定するオフセットアドレスOFFADDとに分割される。

【0052】なお、キャッシュメモリ1が互いに分離されたタグメモリ2とデータメモリ3を含む場合には、エントリアドレスENTADDによってタグメモリ2に含まれる複数のエントリ2aのうちの1つとデータメモリ3に含まれる複数のエントリ3aのうちの1つとが指定される。

【0053】例えば、キャッシュメモリ1が1キロバイトのダイレクトマップ方式のキャッシュメモリであり、かつ、データメモリ3の各エントリ3aに格納されるブロックデータが4ワード(1ワードは32ビット)から構成される場合には、キャッシュメモリ1は、128個のエントリを有する。この場合、アドレス分割部110は、アドレスADDのビット0～ビット31のうちビット0～3をオフセットアドレスOFFADDとして出力し、ビット4～10をエントリアドレスENTADDとして出力し、ビット11～31をタグアドレスTAGADDとして出力する。

【0054】なお、キャッシュメモリ1は、ダイレクトマップ方式のキャッシュメモリに限定されるわけではない。本発明は、任意の方式のキャッシュメモリに適用され得る。

【0055】キャッシュメモリ制御回路8は、キャッシュ制御信号生成部138を含む。キャッシュ制御信号生成部138は、タグメモリチップセレクト信号TAGCSとデータメモリチップセレクト信号DATACSとをキャッシュメモリ1に出力する。ここで、タグメモリチップセレクト信号TAGCSとデータメモリチップセレクト信号DATACSとは、図2におけるタグメモリチップセレクト信号13a、データメモリチップセレクト信号13bに相当する。タグメモリチップセレクト信号TAGCSがアサートされたサイクルにおいてタグメモリ2は動作する。データメモリチップセレクト信号DATACSがアサートされたサイクルにおいてデータメモリ3は動作する。

【0056】キャッシュ制御信号生成部138は、タグメモリライトイネーブル信号TAGWEとデータメモリライトイネーブル信号DATAWEとをキャッシュメモリ1に出力する。タグメモリライトイネーブル信号TAGWEは、図2ではタグメモリライトイネーブル信号14と表記されている。データメモリライトイネーブル信号DATAWEは、図2ではデータメモリライトイネーブル信号15と表記されている。

【0057】キャッシュメモリ1のタグメモリ2は、タグメモリチップセレクト信号TAGCSがアサートされたサイクルにおいてアドレスADDのヒットミス判定動作を行う。すなわち、タグメモリ2は、エントリアドレスENTADDによって指定されたエントリ2aに格納されているタグデータとバリッドビット(Vビット)とを読み出す。比較器112は、タグアドレスTAGADDとタグメモリ2から読み出されたタグデータTAGOUTとを比較する。

【0058】タグアドレスTAGADDとタグデータTAGOUTとが一致し、かつ、タグメモリ2から出力されるVビット出力データVOOUTの値が「1」である場合には、キャッシュヒットと判定される。その結果、ヒット信号HITがアサートされる。ここで、ヒット信号HITは、図2ではヒット信号18と表記されている。タグアドレスTAGADDとタグデータTAGOUTとが一致しない場合、または、タグメモリ2から出力されるVビット出力データVOOUTの値が「0」である場合には、キャッシュミスと判定される。その結果、値「0」を有するヒット信号HITが出力される。

【0059】タグメモリ2は、エントリアドレスENTADDによって指定されたエントリ2aに格納されているリフィルビット(Rビット)の値をリフィルビット出力データROUTとして出力する。リフィルビット出力データROUTの値が「1」であることは、主記憶領域10からエントリアドレスENTADDによって指定されたエントリ3aにブロックデータが転送(リフィル)中であることを示す。ここで、リフィルビット出力データROUTは、図2ではリフィルビット出力データ17と表記されている。

【0060】また、タグメモリチップセレクト信号TAGCSがアサートされたサイクルにおいてタグメモリライトイネーブル信号TAGWEがアサートされている場合には、エントリアドレスENTADDによって指定されたエントリ2aの領域2a-1にタグアドレスTAGADDの値が書き込まれる。

【0061】キャッシュメモリ1のデータメモリ3は、データメモリチップセレクト信号DATACSがアサートされたサイクルにおいてデータの読み出しまたは書き込み動作を行う。データメモリライトイネーブル信号DATAWEのアサーションは、キャッシュメモリ1へのライトアクセスを示す。ライトアクセス時には、ライトデータバスCWBUS上のデータがデータメモリ3に書き込まれる。

【0062】キャッシュメモリ制御回路8のリフィル制御部134は、キャッシュメモリ1から出力されるヒット信号HITの値が「0」である場合、リフィル開始信号RFLSTARTをアサートする。リフィル開始信号RFLSTARTは、主記憶領域10に出力される。これにより、主記憶領域10からキャッシュメモリ1への



ブロックデータの転送が制御される。リフィル制御部134からは、ブロックデータに含まれる各ワードの転送サイクルを示す信号RFLCYC、転送されるデータがブロックデータの何ワード目かを示すオフセットアドレスRFLOFAD、リフィル制御部134から出力されるアドレス信号RFLOFADとアドレス分割部110から出力されるアドレス信号OFFADDのうちの一方を選択するセレクト信号OFADSEL、リフィルが終了したことを示す信号RFLENDがさらに出力される。

【0063】信号RFLCYCは、ライトデータセクタ122の制御にも使用される。信号RFLCYCがアサートされると、主記憶領域10に接続されるロードデータバスMRBUS上のデータがライトデータセクタ122によって選択される。その結果、ロードデータバスMRBUS上のデータがライトデータバスCWBUSに出力される。

【0064】オフセットアドレスセクタ114は、セレクト信号OFADSELにตอบสนองして、アドレス信号RFLOFADとアドレス信号OFFADDのうちの一方を選択し、選択されたアドレス信号をキャッシュメモリ1内のデータメモリ3のオフセットを示すアドレス信号としてキャッシュライトデータセクタ116に出力する。キャッシュライトデータセクタ116は、オフセットアドレスセクタ114から出力されるアドレス信号にตอบสนองして、データメモリ3のエントリ3aに含まれる領域3a-0~3a-3のうちデータが書き込まれるべき1つの領域を選択する。このようにして、オフセットアドレスセクタ114から出力されるアドレス信号によって指定されたオフセット位置にワードデータが書き込まれる。

【0065】キャッシュメモリ制御回路8のロードデータ選択部132は、ロードデータセクタ120を制御する信号RDSELを出力する。信号RDSELがアサートされると、キャッシュロードデータバスCRBUS上のデータがロードデータセクタ120によって選択される。これにより、キャッシュメモリ1からのロードデータがCPU6に転送される。

【0066】キャッシュメモリ制御回路8のアクノリッジ生成部130は、CPU6からのアクセス要求ACSRQを受け取った後、キャッシュメモリ1へのアクセスが完了したことを示すアクノリッジ信号CACKをCPU6に出力する。CPU6は、アクノリッジ信号CACKがアサートされたサイクルにおいてロードデータバスRDATA上のデータを取り込む。

【0067】キャッシュメモリ制御回路8のリフィルビット制御部136は、キャッシュメモリ1からヒット信号HITを受け取る。リフィルビット制御部136は、ヒット信号HITが「0」である場合（すなわち、キャッシュミスである場合）には、値「1」を有するリフィ

ルビット書き込みデータRBITWDをキャッシュメモリ1に出力することにより、キャッシュメモリ1内のRビットをセットする。

【0068】主記憶領域10からキャッシュメモリ1へのブロックデータの転送が開始されると、リフィル制御部134は、転送サイクルを示す信号RFLCYC、セレクト信号OFADSEL、アドレス信号RFLOFADを出力する。キャッシュ制御信号生成部138は、信号REFCYCにตอบสนองして、データメモリチップセレクト信号DATACS、データメモリライトイネーブル信号DATAWEを生成する。これにより、キャッシュメモリ1のデータメモリ3に対してライトアクセスが行われる。すなわち、セレクト信号OFADSELに応じて選択されたアドレス信号RFLOFADによって指定されるオフセット位置にライトデータバスCWBUS上のワードデータが書き込まれる。

【0069】また、リフィルビット制御部136は、リフィル終了時には、リフィルビットクリア制御信号RBITCLをアサートすることにより、キャッシュメモリ1内のRビットをクリアする。キャッシュメモリ1は、リフィルビットクリア制御信号RBITCLがアサートされるとRビットの値を「0」にする機能を有している。

【0070】なお、リフィルビット書き込みデータRBITWDは、図2ではリフィルビット書き込みデータ16と表記されている。リフィルビットクリア制御信号RBITCLは、図2ではリフィルビットクリア制御信号42と表記されている。

【0071】以下、主記憶領域10からキャッシュメモリ1内の特定のエントリにブロックデータを転送（リフィル）している状態において、その特定のエントリに対するリードアクセス要求がCPU6において発生した場合を説明する。このリードアクセスによってキャッシュヒットが発生すると仮定する。また、その特定のエントリのVビットの値は「1」であると仮定する。

【0072】CPU6からは、アクセス要求ACSRQとアドレスADDとが出力される。キャッシュ制御信号生成部138は、タグメモリチップセレクト信号TAGCS、データメモリチップセレクト信号DATACSをアサートする。これにより、キャッシュメモリ1へのアクセスが開始される。

【0073】アドレスADDは、アドレス分割部110によって3つのアドレスTAGADD、ENTADD、OFFADDに分割される。エントリアドレスENTADDによって指定されるエントリ2a、3aに対してアクセスが行われる。この場合、上述した仮定から、比較器112から出力されるヒット信号HITの値は「1」となる。また、ブロックデータがエントリ3aに転送中であるため、リフィルビット出力データROUTの値は「1」となる。

【0074】アクノリッジ生成部130には、ROUT=1、HIT=1が入力される。その結果、アクノリッジ生成部130は、リフィル中にキャッシュヒットが発生したと判定する。この場合、主記憶領域10からエントリ3aへのブロックデータの転送（リフィル）はまだ完了していない。キャッシュメモリ1からロードされたデータは、主記憶領域10からのブロックデータの転送によって更新されたデータか、まだ更新されていないデータか不明である。キャッシュメモリ1からロードされたデータがまだ更新されていないデータである場合には、CPU6が要求するデータとは異なるデータを読み出すことになってしまう。このため、この時点では、アクノリッジ信号CACKはアサートされない。

【0075】主記憶領域10からエントリ3aへのブロックデータの転送（リフィル）が完了すると、リフィル制御部134は、信号RFLENDをアサートする。信号RFLENDがアサートされると、リフィルビット制御部136は、Rビットをクリアするためにリフィルビットクリア制御信号RBITCLをアサートする。これにより、キャッシュメモリ1内のRビットの値が「0」にクリアされる。

【0076】アクノリッジ生成部130は、アサートされた信号RFLENDに回答して、再アクセス要求REACSをアサートする。これにより、キャッシュメモリ1に対する再アクセスが実行される。この再アクセスはリフィルが完了した状態（すなわち、リフィルによりブロックデータが更新された状態）で行われる。再アクセスによってキャッシュヒットが発生するため、HIT=1となる。アクノリッジ生成部130は、ロードデータがCPU6に送られると同時にアクノリッジ信号CACKをアサートする。

【0077】ロードデータ選択部132は、再アクセスのサイクルにおいて、キャッシュロードデータバスCRBUS上のデータが選択されるようにロードデータセクタ120を制御する。

【0078】上述したキャッシュメモリ1の制御方法は、Rビットの出力結果に応じてアクセスされるエントリがリフィル中であるか否かを判定し、リフィル中であり、かつ、キャッシュヒットであると判定された場合には、リフィルが完了した後、キャッシュメモリ1を再アクセスするという制御方法である。

【0079】この制御方法では、リフィル中のエントリに対するアクセス要求が発生した場合、そのリフィルが完了するまでアクノリッジ信号CACKがアサートされないため、CPU6の動作が停止する期間が長くなる。

【0080】キャッシュメモリ制御回路8内にリフィルによってブロックデータ内のどのワードが更新済みであるかという情報を保持することにより、CPU6へのアクノリッジをより早く行うように上述した制御方法を改良することができる。

【0081】図6は、改良された制御方法を提供するシステム100aの詳細構成を示す。図6において、図5に示される構成要素と同一の構成要素には同一の参照番号を付し、その説明を省略する。

【0082】キャッシュメモリ制御回路8は、リフィルによってブロックデータ内のどのワードが更新済みであるかという情報を保持する更新判定部140を有している。

【0083】更新判定部140には、転送サイクルを示す信号RFLCYCとブロックデータのどのワードの転送を示す転送ワードアドレスRFLOFADとがリフィル制御部134から入力される。更新判定部140は、信号RFLCYCと転送ワードアドレスRFLOFADとに基づいて、どのワードがすでに転送されているかを示す情報を生成し、その情報を内部に保持する。更新判定部140には、アドレスADDがCPU6から入力される。更新判定部140は、アドレスADDと内部に保持される情報とに基づいて、アクセスされるデータが既に更新されているワードであるか否かの判定結果を示す信号RFLEDを出力する。アクセスされるデータが既に更新されているワードである場合には、RFLED=1である。それ以外の場合には、RFLED=0である。信号RFLEDは、ロードデータ選択部132とアクノリッジ生成部130に出力される。

【0084】以下、主記憶領域10からキャッシュメモリ1内の特定のエントリにブロックデータを転送（リフィル）している状態において、その特定のエントリに対するリードアクセス要求がCPU6において発生した場合を説明する。このリードアクセスによってキャッシュヒットが発生すると仮定する。また、その特定のエントリのVビットの値は「1」とであると仮定する。

【0085】CPU6からは、アクセス要求ACSRQとアドレスADDとが出力される。キャッシュ制御信号生成部138は、タグメモリチップセレクト信号TAGCS、データメモリチップセレクト信号DATACSをアサートする。これにより、キャッシュメモリ1へのアクセスが開始される。

【0086】アドレスADDは、アドレス分割部110によって3つのアドレスTAGADD、ENTADD、OFFADDに分割される。エントリアドレスENTADDによって指定されるエントリ2a、3aに対してアクセスが行われる。この場合、上述した仮定から、比較器112から出力されるヒット信号HITの値は「1」となる。また、ブロックデータがエントリ3aに転送中であるため、リフィルビット出力データROUTの値は「1」となる。

【0087】要求されているアクセスがリフィルにより既に更新されているワードに対するアクセスである場合を説明する。アクセスが要求された時点では、RFLED=1である。

【0088】ロードデータ選択部132は、ヒット信号HITとリフィルビット出力データROUTとを受け取る。HIT=1、ROUT=1であることから、ロードデータ選択部132は、アクセス要求ACSRQに対応するアドレスがキャッシュにヒットし、要求されているアクセスがリフィル中のエントリに対するアクセスであると判定する。さらに、ロードデータ選択部132は、更新判定部140から信号RFLEDを受け取る。RFLED=1であることから、ロードデータ選択部132は、キャッシュロードバスCRBUS上のデータが選択されるようにロードデータセクタ120を制御する。その結果、キャッシュメモリ1からのロードデータがCPU6に転送される。

【0089】信号RFLEDは、アクノリッジ生成部130にも出力される。HIT=1、ROUT=1、RFLED=1であることから、アクノリッジ生成部130は、キャッシュアクセスが完了したと判定し、アクノリッジ信号CACKをアサートする。

【0090】次に、要求されているアクセスがリフィルによりまた更新されていないワードに対するアクセスである場合を説明する。アクセスが要求された時点では、RFLED=0である。

【0091】RFLED=0であることから、アクノリッジ生成部130は、アクノリッジ信号CACKをアサートしない。

【0092】リフィル制御部134は、ワード転送サイクル毎に、転送サイクルを示す信号RFLCYCと転送ワードがブロックデータ内のどのワードかを示す転送ワードオフセットアドレスRFLOFADを更新判定部140に出力する。更新判定部140は、信号RFLCYCと転送ワードオフセットアドレスRFLOFADとに基づいて、ワード転送サイクル毎に、ブロックデータ内の複数のワードのそれぞれが更新済みか否かを示す情報を更新する。

【0093】アクセスされるワードが主記憶領域10からキャッシュメモリ1に転送されたサイクルにおいて、更新判定部140は、信号RFLEDをアサートする。このサイクルにおいて、ロードデータ選択部132は、主記憶領域10に接続されるロードバスMRBUS上のデータが選択されるようにロードデータセクタ120を制御する。その結果、主記憶領域10からのロードデータがCPU6に転送される。このように、ロードデータセクタ120を制御する理由は、以下のとおりである。

【0094】キャッシュメモリ1に転送データを書き込むために、ロードバスMRBUS上にはその転送データが出力されている。その転送データがアクセスされるブロックデータ内のワードに対応する場合には、その転送データを一旦キャッシュメモリ1に書き込んだ後、キャッシュメモリ1に対する再アクセスによりロードするよ

りも、その転送データをキャッシュメモリ1に書き込むと同時にその転送データをCPU6に送ることにより、CPU6の動作が停止するサイクル数を低減することができる。このように、主記憶領域10からCPU6に転送データをバイパスすることにより、CPU6の動作が停止するサイクル数を低減することができる。

【0095】アクセスされるデータが主記憶領域10からCPU6に転送されたサイクルにおいて、アクノリッジ生成部130は、アクノリッジ信号CACKをアサートする。

【0096】

【発明の効果】本発明によれば、主記憶領域からキャッシュメモリ内のエントリにデータが転送中か否かを示すリフィルビットがキャッシュメモリに設けられている。リフィルビットを使用することにより、キャッシュメモリ制御回路内に保持されたアドレスと第2のアクセス要求に対応するアドレスとを比較する比較回路が不要となる。これにより、キャッシュメモリ制御回路の回路規模を削減することが可能になる。

【0097】また、本発明によれば、多ビットを有するアドレスどうしの比較を不要とすることができる。これにより、キャッシュメモリを高速に制御することが可能になる。

【0098】さらに、リフィルビットの値を参照してキャッシュメモリの動作およびCPUの動作を制御することにより、キャッシュミスが発生した命令に続く命令を支障なく実行することが可能となる。その結果、命令のパイプライン実行、あるいは、先行制御が効率的に行われる。

【図面の簡単な説明】

【図1】本発明の実施の形態のキャッシュメモリ1の構成を示す図である。

【図2】キャッシュメモリ1を含むシステム100の構成を示す図である。

【図3】主記憶領域10からキャッシュメモリ1の特定のエントリにブロックデータを転送するタイミングを示す図である。

【図4】第1のアクセス要求に対応するアドレスと第2のアクセス要求に対応するアドレスとが一致する場合において、ブロックデータを転送するタイミングを示す図である。

【図5】システム100の詳細構成を示す図である。

【図6】改良された制御方法を提供するシステム100aの詳細構成を示す図である。

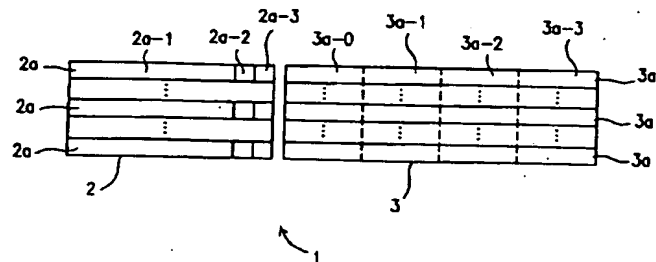
【符号の説明】

- 1 キャッシュメモリ
- 2 タグメモリ
- 2a エントリ
- 2a-1 タグデータを格納する領域
- 2a-2 リフィルビットを格納する領域

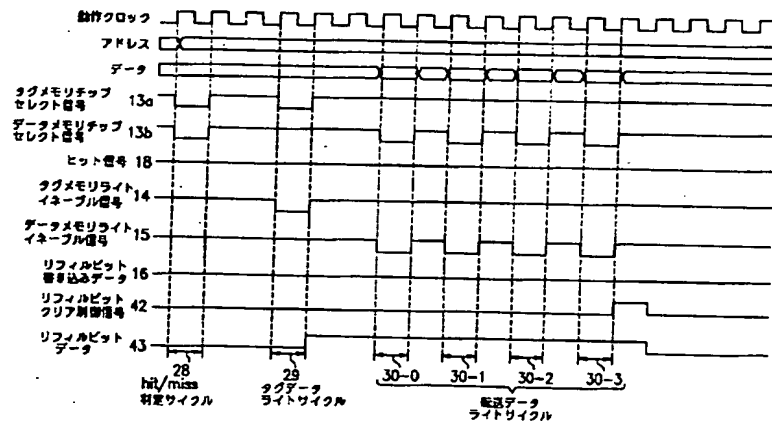
2a-3 バリッドビットを格納する領域  
 3 データメモリ  
 3a エントリ  
 3a-0~3a-3 ワードを格納する領域  
 6 CPU

8 キャッシュメモリ制御回路  
 10 主記憶領域  
 11 アドレスバス  
 12 データバス  
 100、100a システム

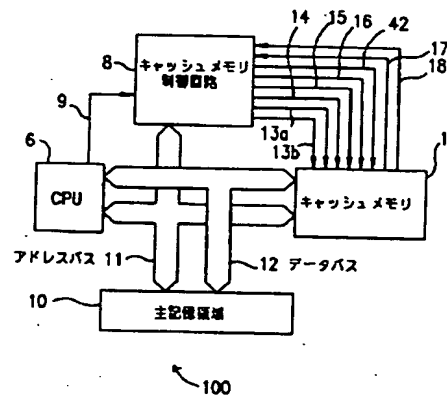
【図1】



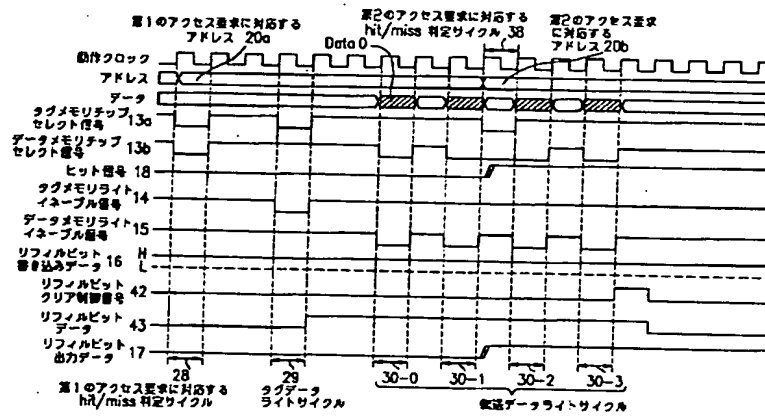
【図3】



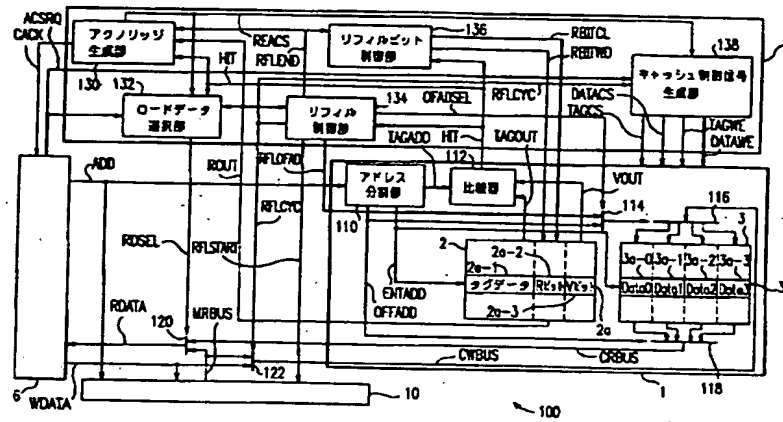
【図2】



【図4】



【図5】



【図6】

